



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2003197851 A

(43) Date of publication of application: 11.07.03

(51) Int. Cl

H01L 25/04**H01L 25/18****H03K 19/0175**

(21) Application number: 2001397065

(71) Applicant: SONY CORP

(22) Date of filing: 27.12.01

(72) Inventor: MATSUMOTO KOICHI
NAKAYAMA SO

(54) SEMICONDUCTOR DEVICE AND HYBRID SEMICONDUCTOR DEVICE

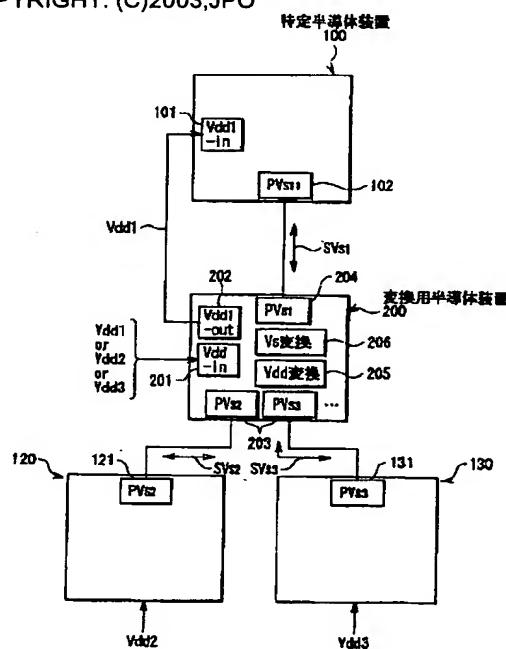
from the specific semiconductor device 100.

COPYRIGHT: (C)2003,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a hybrid semiconductor device which can cope with multiple types (multiple generations) of supply voltages and voltage levels without increasing the number and the number of types of input/output ports in a specific semiconductor device such as the latest generation semiconductor chip.

SOLUTION: On receiving a signal (SVS₂, SVS₃,...) having a voltage level (Vs₂, Vs₃,...) different from a prescribed voltage level (Vs₁) employed by a specific semiconductor device 100, a signal voltage level conversion circuit 206 converts the signal to the prescribed voltage level (Vs₁) and then outputs the converted signal to the specific semiconductor device 100, and/or converts a signal (SVS₁) of the prescribed voltage level (Vs₁) output from the specific semiconductor device 100 into a voltage level (Vs₂, Vs₃,...) different from the prescribed voltage level (Vs₁), and then sends the converted signal to a second semiconductor device 120 or whatever that is different



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-197851

(P2003-197851A)

(43) 公開日 平成15年7月11日 (2003.7.11)

(51) Int.Cl.
H 01 L 25/04
25/18
H 03 K 19/0175

識別記号

F 1
H 01 L 25/04
H 03 K 19/00

テマコード (参考)
Z 5 J 0 5 6
1 0 1 A

審査請求 未請求 請求項の数16 O.L (全 12 頁)

(21) 出願番号 特願2001-397065(P2001-397065)

(22) 出願日 平成13年12月27日 (2001.12.27)

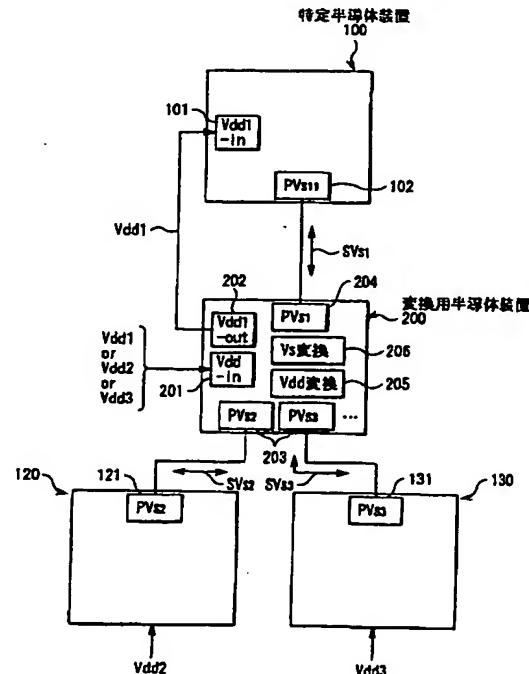
(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 松本 光市
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72) 発明者 中山 創
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(74) 代理人 100098785
弁理士 藤島 洋一郎
F ターム (参考) 5J056 AA11 BB53 BB58 CC00 CC21
KK02

(54) 【発明の名称】 半導体装置および混成半導体装置

(57) 【要約】

【課題】 最新世代の半導体チップのような特定の半導体装置における入出力ポートの個数や種類を少ないものに保ちつつ、多種類（多世代）の電源電圧や電圧レベルに対応して用いられる半導体装置および混成半導体装置を提供する。

【解決手段】 信号電圧レベル変換回路206が、特定半導体装置100の採用している所定の電圧レベル（Vs1）とは異なる電圧レベル（Vs2、Vs3…）の信号（SVs2、SVs3…）を受けて、その信号を所定の電圧レベル（Vs1）に変換して特定半導体装置100へと出力する、および/または特定半導体装置100から出力される所定の電圧レベル（Vs1）の信号（SVs1）をその所定の電圧レベル（Vs1）とは異なる電圧レベル（Vs2、Vs3…）に変換し、特定半導体装置100とは別の例えば第2の半導体装置120などへと入力する。



【特許請求の範囲】

【請求項1】 所定の電圧レベルの信号の出力を行うおよび／または入力を受けるように設定された半導体装置に対して少なくとも接続されて用いられる、前記半導体装置とは別体の半導体装置であって、所定の電圧レベルとは異なった電圧レベルの信号を受けてその信号を前記所定の電圧レベルに変換して出力する、および／または前記所定の電圧レベルの信号をその所定の電圧レベルとは異なった電圧レベルに変換して出力する信号電圧レベル変換回路を備えたことを特徴とする半導体装置。

【請求項2】 所定の電圧レベルとは異なった電圧レベルの電源電圧を受けてその電源電圧を前記所定の電圧レベルに変換して出力する電源電圧レベル変換回路を、さらに備えたことを特徴とする請求項1記載の半導体装置。

【請求項3】 所定のクロック周波数の信号の出力を行うおよび／または入力を受けるように設定された半導体装置に対して少なくとも接続されて用いられる、前記半導体装置とは別体の半導体装置であって、所定のクロック周波数とは異なったクロック周波数の信号を受けてその信号を前記所定のクロック周波数に変換して出力する、および／または前記所定のクロック周波数の信号をその所定のクロック周波数とは異なるクロック周波数に変換して出力するクロック周波数変換回路を備えたことを特徴とする半導体装置。

【請求項4】 所定の電圧レベルとは異なった電圧レベルの電源電圧を受けてその電源電圧を前記所定の電圧レベルに変換して出力する電源電圧レベル変換回路を、さらに備えたことを特徴とする請求項3記載の半導体装置。

【請求項5】 所定の電圧レベルの信号の出力を行うおよび／または入力を受けるように設定された特定半導体装置と、前記所定の電圧レベルとは異なった電圧レベルの信号を受けてその信号を前記所定の電圧レベルに変換して前記特定半導体装置へと入力する、および／または前記特定半導体装置から出力される信号を前記所定の電圧レベルの信号とは異なる電圧レベルに変換して出力する信号電圧レベル変換回路を有する変換用半導体装置とを備えたことを特徴とする混成半導体装置。

【請求項6】 前記特定半導体装置と前記変換用半導体装置とを、一つの配線基板上に実装したことを特徴とする請求項5記載の混成半導体装置。

【請求項7】 前記特定半導体装置と前記変換用半導体装置とを、一つの実装パッケージ内に内蔵したことを特徴とする請求項5記載の混成半導体装置。

【請求項8】 前記特定半導体装置および前記変換用半導体装置が、それぞれ別個の半導体チップであり、前記特定半導体装置と前記変換用半導体装置とを、一つ

のリードフレームのアイランド上に載置したことを特徴とする請求項5記載の混成半導体装置。

【請求項9】 所定の電圧レベルの電源電圧を受けて動作するように設定された特定半導体装置と、前記所定の電圧レベルとは異なった電圧レベルの電源電圧を受けて、その電源電圧を前記所定の電圧レベルに変換して前記特定半導体装置へと入力する電源電圧レベル変換回路を有する変換用半導体装置とを備えたことを特徴とする混成半導体装置。

10 【請求項10】 前記特定半導体装置と前記変換用半導体装置とを、一つの配線基板上に実装したことを特徴とする請求項9記載の混成半導体装置。

【請求項11】 前記特定半導体装置と前記変換用半導体装置とを、一つの実装パッケージ内に実装したことを特徴とする請求項9記載の混成半導体装置。

【請求項12】 前記特定半導体装置および前記変換用半導体装置が、それぞれ別個の半導体チップであり、前記特定半導体装置と前記変換用半導体装置とを、一つのリードフレームのアイランド上に載置したことを特徴とする請求項9記載の混成半導体装置。

【請求項13】 所定のクロック周波数の信号の出力を行うおよび／または入力を受けるように設定された特定半導体装置と、前記所定のクロック周波数とは異なったクロック周波数の信号を受けてその信号を前記所定のクロック周波数に変換して前記特定半導体装置へと入力する、および／または前記特定半導体装置から出力される信号を前記所定のクロック周波数の信号とは異なるクロック周波数に変換して出力するクロック周波数変換回路を有する変換用半導体装置とを備えたことを特徴とする混成半導体装置。

30 【請求項14】 前記特定半導体装置と前記変換用半導体装置とを、一つの配線基板上に実装したことを特徴とする請求項13記載の混成半導体装置。

【請求項15】 前記特定半導体装置と前記変換用半導体装置とを、一つの実装パッケージ内に内蔵したことを特徴とする請求項13記載の混成半導体装置。

【請求項16】 前記特定半導体装置および前記変換用半導体装置が、それぞれ別個の半導体チップであり、前記特定半導体装置と前記変換用半導体装置とを、一つのリードフレームのアイランド上に載置したことを特徴とする請求項13記載の混成半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置および例えばハイブリッドICやMCM (Multi Chip Module) のような混成半導体装置に関する。

【0002】

【従来の技術】 近年、特にCMOS-LSI (CMOS高集積回路) のような主にデジタル信号を扱う半導体装

置では、配線や構造のさらなる微細化に伴って、いわゆるスケーリング則と呼ばれるような比例縮小則やさらなる低消費電力化に対応するために、電源電圧や信号電圧レベルのさらなる低電圧化が進められている。

【0003】すなわち、CMOSロジックLSIのような半導体装置の内部構造のさらなる微細化が進むにつれて、以前は5[V]台であった電源電圧や信号電圧レベルが、次の世代では3[V]台に、その次の世代では2[V]台に推移して来ており、そしてさらに次の世代では1[V]台へと進むというように、新世代の半導体装置ほど、配線や構造の微細化に伴って低電圧化が進んで行くことは避けられない傾向にある。

【0004】

【発明が解決しようとする課題】ところが、そのような半導体装置を多数個組み合わせて用いて構築されるシステムでは一般に、必ずしも同世代の半導体装置のみを用いているわけではなく、むしろ必要に応じて最新世代の半導体装置と、それほど新世代ではなくとも構わないものについては旧世代の半導体装置とを組み合わせて用いる場合が多い。

【0005】このため、一つのシステムを構築するため用いられるそれぞれの世代の半導体装置ごとに対応した電源電圧を用意しなければならないので、一つのシステムに複数の電圧レベルの電源や電源配線等を用意しなければならず、それだけでも配線やシステム構成が煩雑なものとなる。

【0006】また、電源電圧が異なれば、それを用いて半導体装置は動作するのであるから、その異なった電源電圧ごとで信号電圧レベルも異なったものとなり、一つのシステム内で複数の信号電圧レベルが混在することとなる。このため、電源電圧の設定の異なった半導体装置どうしの間で信号のやりとり（入出力）を行うためには、その異なった電源電圧あるいは異なった信号電圧レベルの種類に対応した個数の入力ポート（換言すれば実装されたLSIでは入力ピン）や出力ポート（出力ピン）が各半導体装置に必要となる。特にロジックLSIでは近年、例えば1000ピンあるいはさらにそれ以上といった超多ピン化（超多ポート化）が進む傾向にあることから、それらの入出力ピンは、世代ごとで異なった電源電圧あるいは異なった信号電圧レベルの種類に対応して2倍、3倍…のようにさらに増加して、さらなる超多ピン化（超多ポート化）が助長されてしまう。あるいはそれほど極端ではなくとも、高集積回路では一般に多ピン化が進む傾向にあり、またできるだけ少ない入出力ピン数であることが望ましいが、それを達成することに対して著しい妨げとなってしまう。

【0007】特に、最も配線の微細化が進んでいる、従って最も製造歩留まりの問題など製造プロセス上の困難さが多くて製造コストが高くなる傾向にある最新世代の半導体装置ほど、前述したように電源電圧や信号の低電

圧レベル化が進んでいるので、最も多種類の（前世代の）電圧に対応することが要求されることとなる。

【0008】このため、最も多種類の信号用入力ポートや信号用出力ポートあるいは電源用入力ポート等が必要となり、そのような多種類の入出力ポートを一つの最新世代の半導体チップなどに作り込むためには、その種類に対応した多種類の膜厚や絶縁耐圧性能を備えたマルチ酸化膜等の構造を形成するための煩雑なプロセスを追加しなければならなくなり、元より煩雑で高コストな製造プロセスをさらに煩雑で高コストなものとすることになり、極めて不都合である。また、そのように多数の入出力ポートを一つの半導体チップに作り込むと、その多数の入出力ポートの占有面積によって、本来の信号処理のために機能する回路構造を作り込むための実質的な有効利用可能面積が少なくなってしまうという問題がある。

【0009】本発明はかかる問題点に鑑みてなされたもので、その目的は、最新世代の半導体チップのような特定の半導体装置における入出力ポートの個数や種類を少ないものに保ちつつ、多種類（多世代）の電源電圧や電圧レベルに対応することを可能とする半導体装置および混成半導体装置を提供することにある。

【0010】

【課題を解決するための手段】本発明による第1の半導体装置は、所定の電圧レベルの信号の出力を行うおよび／または入力を受けるように設定された（換言すれば、所定の電圧レベルの信号の出力または入力のうち、少なくともいずれか一方または両方が可能である、ということ；以下同様）半導体装置に対して少なくとも接続されて用いられる（換言すれば、そのような特定の半導体装置に接続され、またそれ以外の異なった電圧レベルの信号の入力や出力を用いた半導体装置にも接続されること也可能である、ということ；以下同様）、前記の半導体装置（これを、以下では特定半導体装置と呼ぶ場合あり）とは別体の半導体装置であって、所定の電圧レベルとは異なった電圧レベルの信号を受けてその信号を所定の電圧レベルに変換して出力する、および／または所定の電圧レベルの信号をその所定の電圧レベルとは異なった電圧レベルに変換して出力する信号電圧レベル変換回路を備えている。

【0011】また、本発明による第2の半導体装置は、所定のクロック周波数の信号の出力を行うおよび／または入力を受けるように設定された半導体装置に対して少なくとも接続されて用いられる、特定半導体装置とは別体の半導体装置であって、所定のクロック周波数とは異なったクロック周波数の信号を受けてその信号を所定のクロック周波数に変換して出力する、および／または所定のクロック周波数の信号をその所定のクロック周波数とは異なるクロック周波数に変換して出力する、クロック周波数変換回路を備えている。

【0012】本発明による第1の混成半導体装置は、所

定の電圧レベルの信号の出力を行うおよび／または入力を受けるように設定された特定半導体装置と、その所定の電圧レベルとは異なった電圧レベルの信号を受けて（例えば前記の特定半導体装置とは別の半導体装置などから受けて；以下同様）、その信号を所定の電圧レベルに変換して特定半導体装置へと入力する、および／または前記特定半導体装置から出力される信号を前記所定の電圧レベルの信号とは異なる電圧レベルに変換して出力する（そしてその出力は、例えば前記の特定半導体装置とは別の異なった電圧レベルを採用している半導体装置などに対して入力される；以下同様）信号電圧レベル変換回路を有する変換用半導体装置とを備えている。

【0013】また、本発明による第2の混成半導体装置は、所定の電圧レベルの電源電圧を受けて動作するように設定された特定半導体装置と、その所定の電圧レベルとは異なった電圧レベルの電源電圧を受けて、その電源電圧を所定の電圧レベルに変換して特定半導体装置へと入力する電源電圧レベル変換回路を有する変換用半導体装置とを備えている。

【0014】また、本発明による第3の混成半導体装置は、所定のクロック周波数の信号の出力を行うおよび／または入力を受けるように設定された特定半導体装置と、所定のクロック周波数とは異なったクロック周波数の信号を受けて、その信号を所定のクロック周波数に変換して特定半導体装置へと入力する、および／または特定半導体装置から出力される信号を所定のクロック周波数の信号とは異なるクロック周波数に変換して出力するクロック周波数変換回路を有する変換用半導体装置とを備えている。

【0015】本発明による第1の半導体装置または本発明による第1の混成半導体装置では、信号電圧レベル変換回路が、特定半導体装置の採用している所定の電圧レベルとは異なった電圧レベルの信号を受けて、その信号を所定の電圧レベルに変換して特定半導体装置へと出力する、および／または特定半導体装置から出力される所定の電圧レベルの信号をその所定の電圧レベルとは異なった電圧レベルに変換して出力して、特定半導体装置とは別の半導体装置などへと入力する。このとき、特定半導体装置には、少なくとも所定の電圧レベルの入力ポートや出力ポートあるいはそれらを兼用する入出力ポート（このポートとは、換言すれば、端子またはピンまたはパッドなど；以下同様）が設けられているだけで済む。

【0016】本発明による第2の混成半導体装置では、変換用半導体装置が、特定半導体装置の採用している所定の電圧レベルとは異なった電圧レベルの電源電圧を受けて、その電源電圧を所定の電圧レベルに変換して特定半導体装置へと出力する。このとき、特定半導体装置には、少なくとも電源電圧入力ポートと、所定の電圧レベルの出力ポートとが設けられているだけで済む。

【0017】本発明による第2の半導体装置または本発

明による第3の混成半導体装置では、クロック周波数変換回路が、特定半導体装置の採用している所定のクロック周波数とは異なったクロック周波数の信号を受けて、その信号を所定のクロック周波数に変換して特定半導体装置へと出力する、および／または特定半導体装置から出力される所定のクロック周波数の信号をその所定のクロック周波数とは異なったクロック周波数に変換して出力して、特定半導体装置とは別の半導体装置などへと入力する。このとき、特定半導体装置には、少なくとも所定のクロック周波数の信号の入力ポートや出力ポートあるいはそれらを兼用する入出力ポートが設けられているだけで済む。

【0018】なお、上記のような第1の半導体装置または第2の半導体装置においては、所定の電圧レベルとは異なった電圧レベルの電源電圧を受けてその電源電圧を前記所定の電圧レベルに変換して出力する電源電圧レベル変換回路を、さらに備えるようにしてもよい。このようにすることにより、さらに電源電圧についても、特定半導体装置が採用している所定の電源電圧入力用ポートを設けるだけで済む。

【0019】また、上記のような第1の混成半導体装置または第2の混成半導体装置または第3の混成半導体装置においては、特定半導体装置と変換用半導体装置とを一つの配線基板上に実装して、それらをいわゆる1ボードシステム化することなども可能である。

【0020】あるいは、特定半導体装置と変換用半導体装置とを一つの実装パッケージ内に内蔵して、いわゆるマルチチップモジュール化することなども可能である。

【0021】あるいは、特定半導体装置および変換用半導体装置が、それぞれ別個の半導体チップであり、それらの特定半導体装置と変換用半導体装置とを一つのリードフレームのアイランド上に載置し、一つの実装パッケージ内に実装するようにしてもよい。

【0022】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0023】【第1の実施の形態】図1は、本発明の第1の実施の形態に係る混成半導体装置の主要部の構成を模式的に表したものである。なお、本発明の第1の実施の形態に係る半導体装置は、実質的にこの混成半導体装置の構成要素の一つとして用いられるものであるから、以下、それらを併せて説明する。

【0024】この混成半導体装置は、電源電圧として所定の電圧（V_{dd1}）を受けて、その電源電圧を用いて作動し、所定の電圧レベル（V_{s1}）の信号（S_{Vs1}）の出力および入力をうように設定された一つの半導体装置（以下、これを他の異なった電圧レベルを採用している半導体装置と区別するために、特定半導体装置と呼ぶこととする。よって本明細書では、「特定」という呼称は左記のような意味合いを示すためのみに用いるものであつ

50

て、例えば「特殊な設定の半導体装置」といったことは意味しない)である特定半導体装置100と、その特定半導体装置100に対して外部から入力される異なる電圧レベル($V_{s2}, V_{s3}, \dots V_{sN}$)の信号($S V_{s2}, S V_{s3}, \dots S V_{sN}$)を、上記のような所定の電圧レベル(V_{s1})の信号($S V_{s1}$)に変換することや、その逆に特定半導体装置100から出力される上記のような所定の電圧レベル(V_{s1})の信号($S V_{s1}$)を外部の異なる電圧レベル($V_{s2}, V_{s3}, \dots V_{sN}$)の信号($S V_{s2}, S V_{s3}, \dots S V_{sN}$)に変換すること、および外部から供給される異なる電圧レベルの電源電圧($V_{dd2}, V_{dd3}, \dots V_{ddN}$)を上記のような所定の電源電圧(V_{dd1})に変換して特定半導体装置100に入力することを行う変換用半導体装置200とを備えている。

【0025】さらに詳細には、特定半導体装置100は、2[V]以下のような低電圧レベルの電源電圧および信号を採用している半導体装置である。例えば他の半導体装置(第2の半導体装置120、第3の半導体装置130など)の電源電圧(V_{ddn})や信号($S V_{sn}$)の電圧レベル(V_{sn})が3[V]以上や5[V]以上のような電圧レベルを採用しているときに、この特定半導体装置100は最小の電圧レベル($V_{s1} < V_{sn}; n=1,2,3 \dots$)を採用しているということになる場合が極めて多い。

【0026】一般に、最先端(最新世代)のデバイスほど、このような低電圧化が進んで行く傾向にあるが、例えば一つの回路系(システム)を構成するプリント配線基板に実装される全ての半導体装置は、必ずしもそのような最先端のデバイスに適合するように設けられたものばかりではない。むしろ多くのデバイスは、最先端のデバイスが作られる以前に旧世代の電圧レベルに適合するように作製されているのであるから、一つの回路系の全体で考えると、そこで主に採用されているのは旧世代の電圧レベルであると言える。このため、最先端のデバイスほど、他の高い電圧レベルに設定された電源電圧や信号を受けることが可能であるように設定されることが要請される場合が多い。そこで、本実施の形態では、説明の簡潔化および最良の実施の形態として最も適した条件設定とするために、特定半導体装置100の電源電圧(V_{dd1})および信号(V_{s1})が、他の半導体装置の電圧レベルと比べて最も低い電圧レベルを採用しているものとする。すなわち、特定半導体装置100の電源電圧を V_{dd1} とし、他の(特定半導体装置100に接続される外部の)半導体装置の電源電圧を $V_{dd2}, V_{dd3} \dots V_{ddN}$ とすると、 $V_{dd1} < V_{dd2} \leq V_{dd3} \dots \leq V_{ddN}$ であるものとする。また、特定半導体装置100の信号の電圧レベルを V_{s1} とし、他の(特定半導体装置100に接続される外部の)半導体装置の信号の電圧レベルを $V_{s2}, V_{s3} \dots V_{sN}$ とすると、 $V_{s1} < V_{s2} \leq V_{s3} \dots \leq V_{sN}$ であるものとする。

【0027】この特定半導体装置100は、上記のような低い電圧レベルの電源電圧(V_{dd1})を受けるための電源電圧入力ポート(入力パッドまたは入力端子またはピン;以下同様)101と、低い電圧レベル(V_{s1})の信号($S V_{s1}$)の入力および出力を行うための信号入出力ポート($P V_{s11}$)102とを有しているが、他の他の電圧レベルの電源電圧($V_{dd2}, V_{dd3} \dots$)や信号($V_{s2}, V_{s3} \dots$)の入力や出力を行うための入出力ポートなどは全く有していない。

10 【0028】この特定半導体装置100は、所定の信号処理または演算を行う演算処理回路(図示省略)を備えており、外部の半導体装置(第2の半導体装置120や第3の半導体装置130等)から後述するような変換用半導体装置200を介して入力された信号を受けると、電源電圧(V_{dd1})を駆動用電源として用いて、その受けた信号に対して演算処理回路が所定の信号処理または演算を行って、その演算結果の信号を、変換用半導体装置200を介して外部の半導体装置へと出力(送出)する。

20 【0029】変換用半導体装置200は、種々の異なる電圧レベルの電源電圧($V_{dd1}, V_{dd2}, \dots V_{ddN}$)を受けるマルチ電源電圧入力ポート201と、その入力された電源電圧を、特定半導体装置100が採用している電圧レベル(V_{dd1})に変換して出力する特定電源電圧出力ポート202と、種々の異なる電圧レベル($V_{s2}, V_{s3}, \dots V_{sN}$)の信号($S V_{s2}, S V_{s3}, \dots S V_{sN}$)をそれぞれ入力および出力するための信号入出力ポート($P V_{s2}, P V_{s3}, \dots P V_{sN}$)203と、その入力された信号($S V_{s2}, S V_{s3}, \dots S V_{sN}$)を特定半導体装置100が採用している電圧レベル(V_{s1})に変換してなる信号($S V_{s1}$)を出力する、または特定半導体装置100から出力された電圧レベル(V_{s1})の信号($S V_{s1}$)を受ける特定信号入出力ポート($P V_{s1}$)204と、特定半導体装置100が採用している所定の電圧レベル(V_{dd1})とは異なる電圧レベルの電源電圧($V_{dd2}, V_{dd3}, \dots V_{ddN}$)を所定の電圧レベル(V_{dd1})に変換する電源電圧レベル変換回路205と、特定半導体装置100が採用している所定の電圧レベル(V_{s1})とは異なる電圧レベル($V_{s2}, V_{s3}, \dots V_{sN}$)の信号($S V_{s2}, S V_{s3}, \dots S V_{sN}$)を所定の電圧レベル(V_{s1})の信号($S V_{s1}$)に変換して出力すること、および所定の電圧レベル(V_{s1})の信号($S V_{s1}$)をその所定の電圧レベルとは異なる電圧レベル($V_{s2}, V_{s3}, \dots V_{sN}$)の信号($S V_{s2}, S V_{s3}, \dots S V_{sN}$)に変換して出力することを行う信号電圧レベル変換回路206とを備えている。

40 【0030】なお、各信号入出力ポート($P V_{s2}, P V_{s3}, \dots P V_{sN}$)203は、例えば $P V_{s2}$ が第2の半導体装置120の信号入出力ポート($P V_{s22}$)121に接続され、 $P V_{s3}$ が第3の半導体装置130の信号入出力

ポート (PVs33) 131 に接続される、というように、そのそれが外部の半導体装置の同じ電圧レベルの信号入出力ポートに各々接続される。

【0031】電源電圧レベル変換回路 205 としては、特定半導体装置 100 が採用している所定の電圧レベル (Vdd1) よりも高い電源電圧 (Vdd2, Vdd3, … Vddn, … VddN) を降圧 (またはクランプ) する場合には、図 2 に模式的に示したように、例えばダイオード素子 (図示省略) を用いたクランプ回路 (またはスライス回路あるいはレベルシフト回路) 210などを好適に用いることができる。近年の半導体集積回路では、デジタル信号を扱うものが主流を占めるようになって来ていることは言うまでもないが、特にデジタル信号の場合には、電圧波形の観点からは、0/1 の区別が付きさえすれば良いのであるから、デジタル信号における電圧波形のうち所定の電圧レベルを超えた電圧をクリップ (またはスライス) しても、アナログ信号の場合のような信号波形がオリジナルとは異なったものとなるといった不都合は生じないので、構造が簡易で作成が比較的容易なクランプ回路 210などを好適に用いることができる。

【0032】また、このような電圧レベルをクランプ (スライス) あるいはレベルシフトするという機能は、信号電圧レベル変換回路 206 にも好適なものである。すなわち、信号電圧レベル変換回路 206 としても、例えばダイオード素子を用いたクランプ回路 (スライス回路またはレベルシフト回路) 210などを好適に用いることができる。但し、信号電圧レベル変換回路 206 の場合には、信号に対する信号電圧レベル変換回路 206 自体のインピーダンスが大きいと、インピーダンス・ミスマッチング等に起因したノイズの増大や信号の遅延等の不都合が生じる虞れがあるので、そのような不都合の要因となるインピーダンスを生じないような回路構成とすることが望ましいことは言うまでもない。

【0033】あるいは、特定半導体装置 100 およびその他の第 2 の半導体装置 120 や第 3 の半導体装置 130 における実使用時 (作動時) の消費電流値が大幅に変化することがない場合や、個々の信号入出力ポートがそれぞれ所定の電圧レベルに 1 対 1 対応に設定されたものである場合には、特定半導体装置 100 の所定の電圧レベル (Vs1) よりも高い電圧レベル (Vs2, Vs3...) の信号を、電気抵抗によって所定の電圧レベル (Vs1) に降圧することなども可能である。但し、この電気抵抗を信号の電圧レベルの変換に用いる場合には、上述したようにインピーダンスが大きくなつてノイズの増大や信号遅延等が生じる虞れもあるので、そのようなインピーダンスの増大等の不都合が生じない場合にのみ、降圧用に電気抵抗を用いるようにすればよい。あるいは、電源電圧については信号ほど電圧レベルの変動が著しくないであるから、電気抵抗を用いた電圧レベルの変換の手法は、信号の電圧レベルの降圧化に対してよりも電源電圧

の降圧化に対して特に好適であるとも考えられる。

【0034】また逆に、例えば特定半導体装置 100 から出力された所定の電圧レベル (Vs1) の信号 (SVs1) を、より高い電圧レベル (Vs2, Vs3, … VsN, … VsN; 2 ≤ N) にして出力する、というように、変換用半導体装置 200 の信号電圧レベル変換回路 206 によって、特定半導体装置 100 からの低い電圧レベルの電源電圧 (Vdd1) や信号 (SVs1) を、より高い電圧レベルに昇圧 (レベルシフト) して外部の第 N の半導体装置 (例えば第 2 の半導体装置 120 や第 3 の半導体装置 130) へと出力する場合などには、図 3 に一例を模式的に示したように、例えば FET (電界効果型トランジスタ) 211 のようなトランジスタ素子を用いた増幅回路によって、特定半導体装置 100 から出力される低電圧レベル (Vs1) の信号 (SVs1) を、第 N の半導体装置が採用している高い電圧レベル (VsN; Vs1 < VsN) の信号 (SVsN) に増幅して出力することなどが具体的な手法として適用可能である。このとき増幅を行う FET 211 のようなトランジスタ素子による増幅を行うために供給することが必要となる電圧としては、例えばこの混成半導体装置が実装されている回路系全体で特定半導体装置 100 以外の高い電圧レベルを採用している第 2 の半導体装置 120 や第 3 の半導体装置 130 に対して供給される、特定半導体装置 100 の電源電圧 (Vdd1) よりも高い電圧レベルの電源電圧 (Vdd2, Vdd3, … VddN)などを好適に用いることができる。

【0035】なお、図 3 に示した一例では、外部の第 N の半導体装置 (図示省略) と特定半導体装置 100 との間での信号のやりとりは、一種類の信号 (SVsN) につき 1 つの信号入出力ポート (PVsN) を介して行うものとしており、第 N の半導体装置から特定半導体装置 100 へと入力される信号については、上記の図 2 に基づいて説明したような手法によって降圧 (クリップあるいはレベルシフト) している。

【0036】上記のような特定半導体装置 100 および変換用半導体装置 200 は、例えば図 10 に示したように、いずれも半導体集積回路チップの状態で、小型のカードボード状にカッティング形成された一つのプリント配線基板 301 などの表面に例えばフリップチップ実装法などによって実装して、混成半導体装置を構成するようにしてよい。または、図 11 に一例を示したように、一つのセラミック基板 302 などに半導体集積回路チップの状態で特定半導体装置 100 および変換用半導体装置 200 を実装して、混成半導体装置を構成するようにしてよい。あるいは、半導体集積回路チップの状態ではなく、図 12 に一例を示したように、例えば樹脂モールド材などによって封止されたフラットパッケージのようなパッケージングによって実装された半導体集積回路部品として、例えばガラス・エポキシ・プリント配線基板 305 上に、その他の集積回路や種々の電気回路

131…へと各々入力される。

【0041】このように、特定半導体装置100では、電源電圧(Vdd1)および信号(SVs1)以外の高い電圧レベルの電源電圧(Vdd2, Vdd3…)や信号(Vs2, Vs3…)に対する耐圧性を確保するために従来は必要とされていた絶縁膜や降圧回路(図示省略)などは一切、付設しなくても済むので、その構造および製造プロセスが極めて簡易なものとなり、延いては最先端のデバイスである特定半導体装置100としての本来の所定の性能

10 や機能を実現することに注力することができるようになり、その結果、製造歩留りの向上およびスループットのさらなる改善ならびに低コスト化を達成することが可能となる。しかも、変換用半導体装置200では、例えば

ダイオード素子を用いたクランプ回路210のような簡易な回路構成によって電源電圧レベル変換回路205や信号電圧レベル変換回路206を構築して、上記のような電源電圧や信号の電圧レベルの効果的な変換機能を達成することができる。これは、比較例として図14に示したような従来の一般的な技術による各種類の電圧レベ

20 ルに対応した電源電圧入力用ポート1, 2, 3や、信号入力用ポート11, 12, 13や、信号出力用ポート21, 22, 23を、全て特定半導体装置100に作り込んだ場合の一例と比較しても、例えばそれらのポートの個数の多さに因る構成の繁雑さからも一目瞭然である。

【0042】しかも、図示は省略したが、その内部構造についても、高い電圧レベルの電源電圧Vdd3などを受けても絶縁破壊等が生じないような耐圧性を確保するために、マルチ酸化膜などを作り込まなければならないので、極めて煩雑なものとなっていた。

30 【0043】なお、図1に示した概要構成では、変換用半導体装置200から電圧レベルを変換された電源電圧が特定半導体装置100に対して入力されると共に、第2の半導体装置120に対してはVdd2が図示しないこの回路系の電源から直接的に供給され、第3の半導体装置130に対してはVdd3が図示しないこの回路系の電源から直接的に供給されているが、このような異なった種類の電源電圧は、図4に示したように、例えば最も高い電圧レベルの電源電圧(ここでは仮にVdd3とする)を

40 変換用半導体装置200に入力し、そのVdd3を変換用半導体装置200で降圧(またはレベルシフトまたはクランプ)してVdd2やVdd1を作り出して、それらをそれぞれ対応する各半導体装置(第2の半導体装置120、第3の半導体装置130)に対して変換用半導体装置200から間接的に供給するようにしてもよい。但し、この場合には、変換用半導体装置200から各半導体装置へとそれぞれの電源電圧を出力(供給)するための出力ポート等が、上記の図1等に示した概要構成の場合よりも多く必要となる。しかし、このようにすることによ

り、特定半導体装置100および第2の半導体装置12

11
素子等(図示省略)と共にリフロー法などによって実装してもよい。あるいは、図13に一例を示したように、一つのリードフレーム306のアイランド307上に特定半導体装置100および変換用半導体装置200をそれぞれ半導体集積回路チップの状態で搭載(マウント)し、それを例えば樹脂モールド材308などによって封止して、例えばDIP(Dual Inline Package)のような一つの実装パッケージ304の中に特定半導体装置100と変換用半導体装置200とを内蔵した状態することなども可能である。

【0037】次に、この混成半導体装置の動作について説明する。

【0038】特定半導体装置100が採用している電圧レベル(Vdd1)とは異なった電圧レベルの電源電圧(Vdd2, Vdd3, …VddN)が変換用半導体装置200のマルチ電源電圧入力ポート201に入力されると、その変換用半導体装置200に内蔵された電源電圧レベル変換回路205は、電源電圧(Vdd2, Vdd3, …VddN)をクランプまたはスライスあるいはレベルシフトするなどして、電圧レベル(Vdd1)に変換する。

【0039】そしてこの変換された電源電圧(Vdd1)は、変換用半導体装置200の特定電源電圧出力ポート202から出力されて、特定半導体装置100の電源電圧入力ポート101へと入力される。

【0040】信号についてもほぼ同様に、特定半導体装置100が採用している電圧レベル(Vs1)とは異なった電圧レベル(Vs2, Vs3, …VsN)の信号(SVs2, SVs3, …SVsN)が、変換用半導体装置200の各信号入出力ポート(PVs2, PVs3, …PVsN)203に入力されると、その変換用半導体装置200に内蔵された信号電圧レベル変換回路206は、入力された信号(Vs2, Vs3, …VsN)をそれぞれクランプまたはスライスあるいはレベルシフトするなどして、電圧レベル(Vs1)の信号(SVs1)に変換する。そしてこの変換された信号(SVs1)は、変換用半導体装置200の特定信号入出力ポート(PVs1)204から出力されて、特定半導体装置100の信号入出力ポート(PVs11)102に入力される。また逆に、特定半導体装置100の信号入出力ポート(PVs11)102から出力された低い電圧レベル(Vs1)の信号(SVs1)は、例えば図3に示したようなFET211などを用いた信号電圧レベル変換回路206によって増幅(見掛けの昇圧)されて、外部の各半導体装置(第2の半導体装置120、第3の半導体装置130等)の電圧レベル(Vs2, Vs3, …VsN, …VsN)の信号(SVs2, SVs3, …SVsN, …SVsN)にそれぞれ変換され、それらは変換用半導体装置200の各信号入出力ポート(PVs2, PVs3, …PVsN, …PVsN)203から出力されて、そのそれぞれが外部の第nの半導体装置における信号入出力ポート(PVs22, PVs33, …PVsnn, …PVsNN)121、

0ならびに第3の半導体装置130等を含んだ回路系全体で用いられる電源電圧を、最も高い電圧レベルに一本化することが可能となるというメリットを得ることができる。なお、このような概要構成の変換用半導体装置200を採用した場合の混成半導体装置およびその外部の第2の半導体装置120ならびに第3の半導体装置130によって構築される回路系は、ブロック図的（模式的）に図7に示したようなものとなる。

【0044】また、図1に示した概要構成およびそれに基づく説明では、一つの特定半導体装置100に対して異なった電圧レベルを採用している複数個の半導体装置（例えば第2の半導体装置120や第3の半導体装置130）を接続する場合について述べたが、図5および図6に示したように、一つの特定半導体装置100に対して、一度に例えば第2の半導体装置120のみ、または第3の半導体装置130のみ、というように、n種類の半導体装置のうちから一個の半導体装置のみを接続するように設定すると共に、複数の電圧レベルの電源電圧のうちから1つの電源電圧の供給を受けて、その電源電圧を変換して各半導体装置の電源電圧を作り出すようにすることなども可能である。

【0045】この場合、電源電圧レベル変換回路205や信号電圧レベル変換回路206の主要部分が例えばダイオード素子を用いたクランプ回路210によって構成されている場合には、クランプのしきい値電圧を、特定半導体装置100が採用している所定の電圧レベル（V_{dd1}やV_{s1}）に若干の安全率マージンを見込んだ値に設定しておけば、そのしきい値電圧（すなわち所定の電圧レベルV_{dd1}やV_{s1}）よりも高い電圧レベルの入力については、そのしきい値電圧を超えた電圧成分がクランプ（スライスまたはレベルシフト）されるので、どのような電圧レベルの電源電圧や信号が入力されても、それに対して常に確実に対応して特定半導体装置100に適合した電圧レベル（つまりここではV_{s1}やV_{dd1}）の電源電圧や信号を、特定半導体装置100に対して入力することができる。すなわち、電源電圧や信号の電圧レベルが特定半導体装置100よりも高いものであれば、どのような世代の半導体装置に対しても、変換用半導体装置200を接続して用いることが可能である。但し、余りにも桁外れなほどに特定半導体装置100の定格電圧から逸脱した電圧レベルの電源電圧や信号が入力された場合にはその限りではないことは言うまでもない（変換用半導体装置200自体が破損等を生じるのでこれは問題外である）。なお、このような概要構成の変換用半導体装置200を採用した場合の混成半導体装置およびその外部の第nの半導体装置によって構築される回路系の概要構成は、ブロック図的（模式的）に図8に示したようなものとなる。

【0046】【第2の実施の形態】図9は、本発明の第2の実施の形態に係る混成半導体装置の主要部の構成を

模式的に表したものである。なお、本発明の第2の実施の形態に係る半導体装置は、実質的にこの混成半導体装置に用いられるものであるから、以下、それらを併せて説明するものとする。また、上記の第1の実施の形態と同様の部位や機能等については同じ符号を付して説明するものとし、また説明の繰り返しや煩雑化を避けるために、第1の実施の形態と同様の部位や機能等についての詳述は省略する。

【0047】この混成半導体装置は、第1の実施の形態の混成半導体装置にさらに加えて、特定半導体装置100が、所定のクロック周波数（F₁）の信号（S_{Vs1}）を出力すること、および所定のクロック周波数（F₁）の信号（S_{Vs1}）の入力を受けることを行うものであり、また変換用半導体装置200が、その所定のクロック周波数（F₁）とは異なるクロック周波数（F₂、F₃…）の信号（S_{Vs2}、S_{Vs3}…）を受けて、その信号（S_{Vs2}、S_{Vs3}…）を所定のクロック周波数（F₁）に変換して特定半導体装置100へと入力すること、および特定半導体装置100から出力される信号（S_{Vs1}）を所定のクロック周波数（F₁）とは異なるクロック周波数（F₂、F₃…）の信号（S_{Vs2}、S_{Vs3}…）に変換して出力することを行なうクロック周波数変換回路220をさらに有している。

【0048】さらに詳細には、変換用半導体装置200には、特定半導体装置100の信号入出力ポート（P_{Vs11}）102との間で互いに信号（S_{Vs1}）をやりとりするための特定信号入出力ポート（P_{Vs1}）204と、第2の半導体装置120の信号入出力ポート（P_{Vs2}）121との間で互いに信号（S_{Vs2}）をやりとりするための信号入出力ポート（P_{Vs2}）203と、第3の半導体装置130の信号入出力ポート（P_{Vs33}）131との間で互いに信号（S_{Vs3}）をやりとりするための信号入出力ポート（P_{Vs3}）203と、信号（S_{Vs2}）のクロック周波数（F₂）を所定のクロック周波数（F₁）に変換し、また逆に所定のクロック周波数（F₁）の信号（S_{Vs1}）を、信号（S_{Vs2}）のクロック周波数（F₂）に変換するF₁／F₂変換回路221と、信号（S_{Vs3}）のクロック周波数（F₃）を所定のクロック周波数（F₁）に変換し、また逆に所定のクロック周波数（F₁）の信号（S_{Vs1}）を、信号（S_{Vs3}）のクロック周波数（F₃）に変換するF₁／F₃変換回路222とを備えている。特に、特定信号入出力ポート（P_{Vs1}）204は、信号（S_{Vs1}）の電圧レベルやクロック周波数（F₁）に対応して定まる許容インピーダンスの範囲内に接続抵抗等が収まるよう設定されている。

【0049】この第2の実施の形態に係る混成半導体装置では、上記のような概要構成を探ることにより、特定半導体装置100には、少なくとも所定のクロック周波数（F₁）の信号入出力ポートを設けるだけで済むこととなり、その結果、最新世代の半導体チップなどの特定

半導体装置100における入出力ポートの個数や種類を少ないものに保ちつつ、多種類の電圧レベルに対応することができる。また、延いては煩雑な多数の入出力ポートやそれらと共に必要となっていたマルチ酸化膜などを省略することができるので、最新世代の半導体チップのような半導体装置の製造歩留まりの向上やスループットの改善およびそれらによる低コスト化等を達成することができる。

ここで、クロック周波数変換回路220 (F1/F2変換回路221, F1/F3変換回路222) としては、例えばPLL (Phase Locked Loop) クロック回路などを好適に用いることが可能である。

【0050】なお、上記の第1の実施の形態および第2の実施の形態では、変換用半導体装置200は特定半導体装置100と併せて混成半導体装置の主要部を構成するように用いられているが、変換用半導体装置200はこのような態様の他にも、例えば特定半導体装置100とは全く別体でパッケージングされた1個の独立した半導体集積回路部品として製造および販売するものとし、それとは別途に1個の独立した半導体集積回路部品として製造・販売された特定半導体装置100 (但し変換用半導体装置200と併せ用いれば上記のような機能を果たすことができるよう) と併せ用いることで、上記のような混成半導体装置の主要部を構成することなども可能である。つまり、実質的には(最終的には)、変換用半導体装置200は特定半導体装置100と組み合わせて用いられて一つの混成半導体装置を構築することとなるのであるが、両者が組み合わされるまでは、両者は互いに別個の半導体集積回路部品として取り扱うことが可能な状態(例えば実装パッケージなどの態様)とすることなども可能である。その他、特定半導体装置100や変換用半導体装置200の各々に関する実装形態等については本発明の趣旨を逸脱しない範囲で上記の他にも種々のバリエーションが可能であることは言うまでもない。

【0051】

【発明の効果】以上説明したように、請求項1記載の半導体装置または請求項5ないし8のいずれかに記載の混成半導体装置によれば、信号電圧レベル変換回路が、特定半導体装置の採用している所定の電圧レベルとは異なった電圧レベルの信号を受けて、その信号を所定の電圧レベルに変換して特定半導体装置へと出力する、および/または特定半導体装置から出力される所定の電圧レベルの信号をその所定の電圧レベルとは異なった電圧レベルに変換して出力して、特定半導体装置とは別の半導体装置などへと入力するようにしたので、特定半導体装置には、少なくとも所定の電圧レベルの入力ポートや出力ポートあるいはそれらを兼用する入出力ポートなど(以下同様)が設けられているだけで済むこととなり、その結果、最新世代の半導体チップのような半導体装置(上記で特定半導体装置と呼んでいる半導体装置:以下同

様)における入出力ポートの個数や種類を少ないものに保ちつつ、多種類(多世代)の電圧レベルに対応することができる。また、延いては煩雑な多数の入出力ポートやそれらと共に必要となっていたマルチ酸化膜などを省略することができるので、最新世代の半導体チップのような半導体装置の製造歩留まりの向上やスループットの改善およびそれらによる低コスト化等を達成することができる。

【0052】また、請求項2または4記載の半導体装置

10 または請求項9ないし12のいずれかに記載の混成半導体装置によれば、特定半導体装置の採用している所定の電圧レベルとは異なった電圧レベルの電源電圧を受けて、その電源電圧を所定の電圧レベルに変換して特定半導体装置へと入力する電源電圧レベル変換回路を有して、変換用半導体装置が、特定半導体装置の採用している所定の電圧レベルとは異なった電圧レベルの電源電圧を受けて、その電源電圧を所定の電圧レベルに変換して特定半導体装置へと出力するようにしたので、特定半導体装置には、少なくとも電源電圧入力ポートと、所定の電圧レベルの出力ポートとを設けるだけで済むこととなり、その結果、最新世代の半導体チップのような半導体装置における入出力ポートの個数や種類を少ないものに保ちつつ、多種類の電圧レベルに対応することができる。また、延いては煩雑な多数の入出力ポートやそれらと共に必要となっていたマルチ酸化膜などを省略することができるので、最新世代の半導体チップのような半導体装置の製造歩留まりの向上やスループットの改善およびそれらによる低コスト化等を達成することができる。

【0053】また、請求項3記載の半導体装置または請求項13ないし16のいずれかに記載の混成半導体装置

30 によれば、クロック周波数変換回路が、特定半導体装置の採用している所定のクロック周波数とは異なったクロック周波数の信号を受けて、その信号を所定のクロック周波数に変換して特定半導体装置へと出力する、および/または特定半導体装置から出力される所定のクロック周波数の信号をその所定のクロック周波数とは異なったクロック周波数に変換して出力して、特定半導体装置とは別の半導体装置などへと入力するようにしたので、特定半導体装置には、少なくとも所定のクロック周波数の

40 信号の入力ポートや出力ポートあるいはそれらを兼用する入出力ポートを設けるだけで済むこととなり、その結果、最新世代の半導体チップのような半導体装置における入出力ポートの個数や種類を少ないものに保ちつつ、多種類の電圧レベルに対応することができる。また、延いては煩雑な多数の入出力ポートやそれらと共に必要となっていたマルチ酸化膜などを省略することができるので、最新世代の半導体チップのような半導体装置の製造歩留まりの向上やスループットの改善およびそれらによる低コスト化等を達成することができる。

50 【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る混成半導体装置の主要部の構成を模式的に表した図である。

【図2】電源電圧レベル変換回路の概要構成を模式的に表した図である。

【図3】信号電圧レベル変換回路の概要構成を模式的に表した図である。

【図4】1種類の電源電圧を一旦、変換用半導体装置に入力し、その変換用半導体装置からさらに各半導体装置にそれぞれ対応した電源電圧を供給する場合の概要構成の一例を模式的に表した図である。

【図5】一つの特定半導体装置に対して、一度に一つの半導体装置のみを接続して信号のやりとりを行うように設定した場合の一例を模式的に表した図である。

【図6】一つの特定半導体装置に対して複数の電圧レベルの電源電圧のうちから1つの電源電圧の供給を受けて、その電源電圧を変換して所定の電源電圧を作り出して、それを特定半導体装置に供給するように設定した場合の一例を模式的に表した図である。

【図7】図6に示した概要構成の変換用半導体装置を採用した場合の混成半導体装置およびその外部の第2の半導体装置ならびに第3の半導体装置によって構築される回路系の一例を表した図である。

【図8】図5に示した概要構成の変換用半導体装置を採用した場合の混成半導体装置およびその外部の第nの半導体装置によって構築される回路系の一例を表した図である。

【図9】本発明の第2の実施の形態に係る混成半導体装置の主要部の構成を模式的に表した図である。

【図10】特定半導体装置および変換用半導体装置をいずれも半導体集積回路チップの状態で、小型のカードボ*

*ード状にカッティング形成された一つのプリント配線基板上などに実装して、混成半導体装置を構成するようにした場合の実装形態の一例を表した図である。

【図11】特定半導体装置および変換用半導体装置を、いずれも半導体集積回路チップの状態で、一つのセラミック基板上などに実装して混成半導体装置を構成するようにした場合の実装形態の一例を表した図である。

【図12】特定半導体装置および変換用半導体装置を、いずれも例えば樹脂モールド材などによって封止された

10 フラットパッケージのようなパッケージングによって実装された半導体集積回路部品として、例えばガラス・エポキシ・プリント配線基板上に、他の集積回路や種々の電気回路素子等と共にリフロー法などによって実装した場合の実装形態の一例を表した図である。

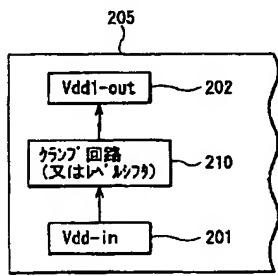
【図13】一つのリードフレームのアイランド上に特定半導体装置および変換用半導体装置をそれぞれ半導体集積回路チップの状態で搭載し、それを例えば樹脂モールド材などによって封止して、例えば一つのDIPのような実装パッケージの中に内蔵された状態で実装（パッケージング）した場合の実装形態の一例を表した図である。

【図14】比較例として、従来の一般的な技術による各種類の電圧レベルに対応した電源電圧入力用ポートや信号入出力用ポートを全て特定半導体装置に作り込んだ場合の一例を表した図である。

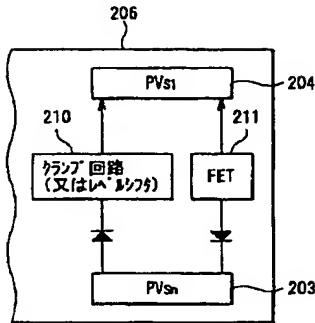
【符号の説明】

100…特定半導体装置、200…変換用半導体装置、
120…第2の半導体装置、130…第3の半導体装置、
205…電源電圧レベル変換回路、206…信号電圧レベル変換回路

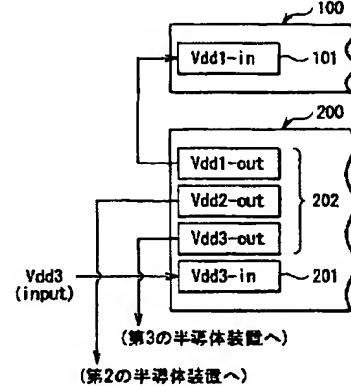
【図2】



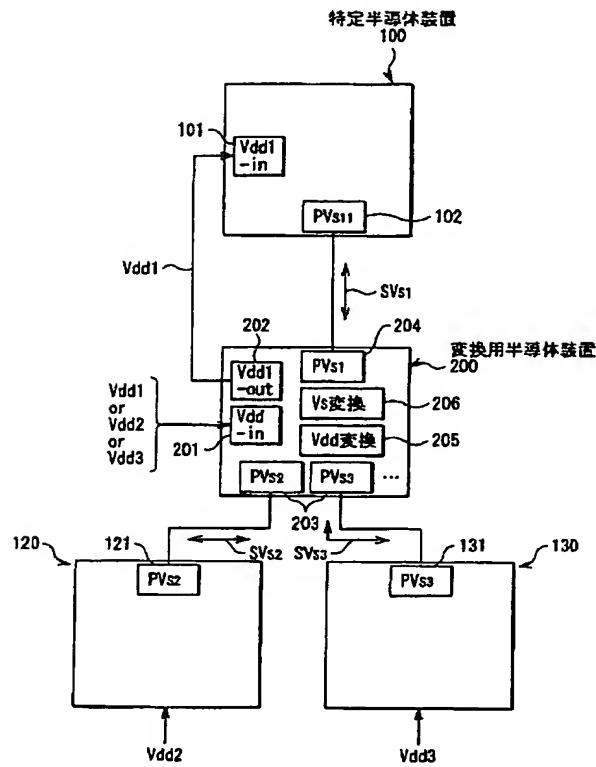
【図3】



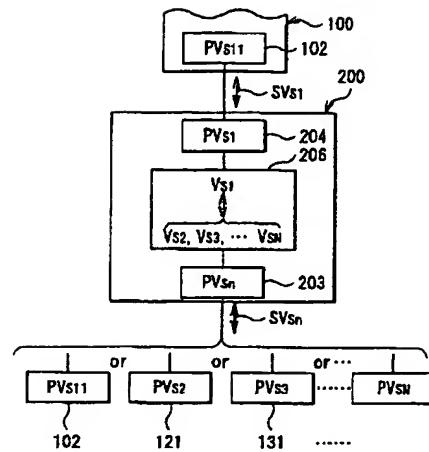
【図4】



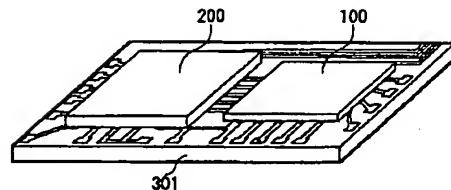
(图1)



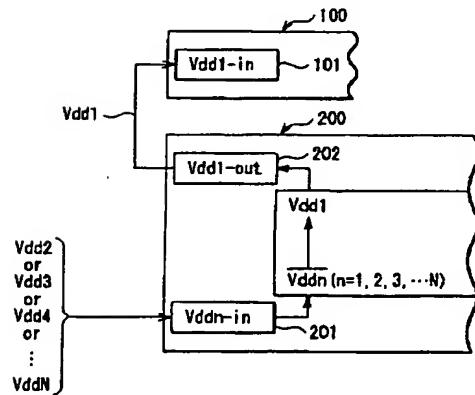
[図5]



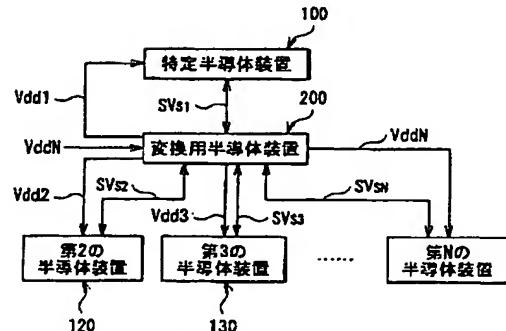
〔図10〕



〔図6〕

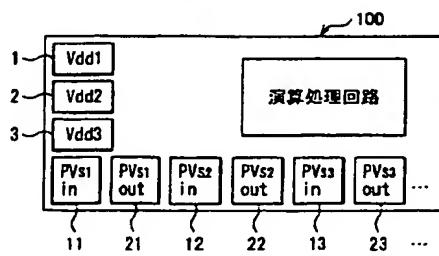
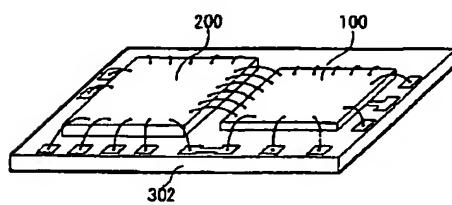


[図 7]

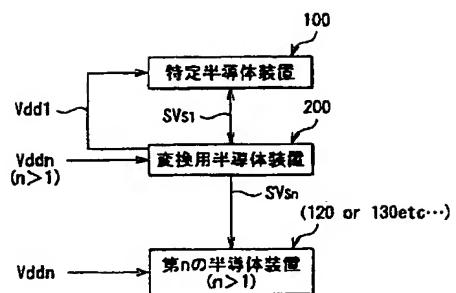


[図14]

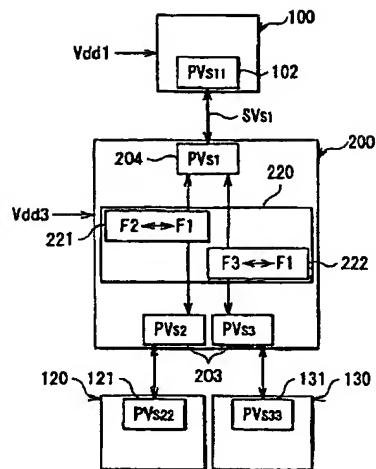
〔図11〕



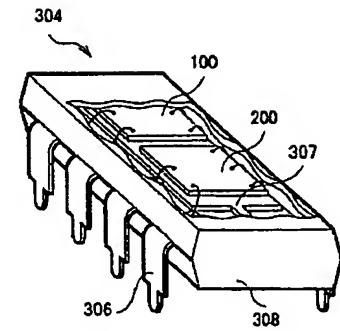
【図8】



【図9】



【図13】



【図12】

